

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-304356

(43)Date of publication of application : 13.11.1998

(51)Int.Cl.

H04N 7/24

G06T 1/20

H04N 1/41

(21)Application number : 09-105789

(71)Applicant : NIKON CORP

(22)Date of filing : 23.04.1997

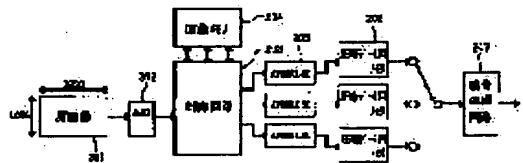
(72)Inventor : SATO HIROYUKI

(54) PARALLEL PICTURE COMPRESSION PROCESSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To attain a high speed processing by a single control circuit with a simple configuration by providing a control circuit operating with frequencies which are integral times as high as the operating frequencies of plural picture compressing circuits.

SOLUTION: An original picture 201 is converted into a digital picture by an A/D converting circuit 202, and a control circuit 203 stores a picture in a picture memory 204 with $J \times 3$ MHz frequencies. At the time of reading, an address generating circuit performs access to three different areas in the picture memory 204 at timings of the $J \times 3$ MHz frequencies, and successively reads picture data in each area. The read picture data are stored for a fixed time, and simultaneously outputted to each JPEG-LSI205. The control circuit 203 performs compression by using the JPEG-LSI205 operating with JMHz. Thus, the data can be simultaneously outputted to the tree JPEG-LSI205.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-304356

(43)公開日 平成10年(1998)11月13日

(51) Int.Cl.⁶
H 04 N 7/24
G 06 T 1/20
H 04 N 1/41

識別記号

F I
H 04 N 7/13
1/41
G 06 F 15/66

Z
B
K

審査請求 未請求 請求項の数9 OL (全 6 頁)

(21)出願番号 特願平9-105789

(22)出願日 平成9年(1997)4月23日

(71)出願人 000004112
株式会社ニコン
東京都千代田区丸の内3丁目2番3号

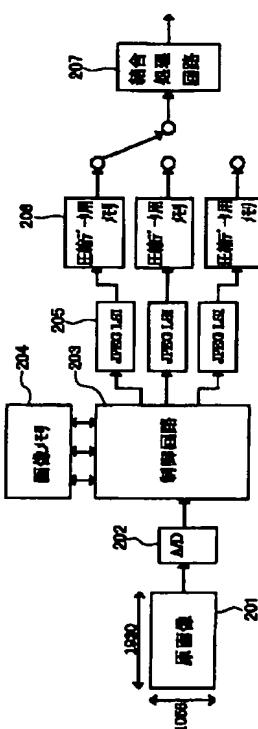
(72)発明者 佐藤 博之
東京都千代田区丸の内3丁目2番3号 株式会社ニコン内

(54)【発明の名称】並列画像圧縮処理装置

(57)【要約】

【課題】小さなメモリ、単一の制御信号で並列の画像圧縮装置を制御する制御回路を持った並列画像圧縮処理装置を提供する。

【解決手段】複数の画像圧縮回路の動作周波数の整数倍の周波数で動作する制御回路を設ける。制御回路は、画像データを複数に分割し、分割したそれぞれの画像データを、複数の画像圧縮装置に、それぞれを同時に入力させ、単一の制御信号で制御する。



(2)

2

【従来の技術】近年、ランダムアクセスが可能なメモリの容量が拡大し、容量的には高解像度画像（以後HDTVと呼ぶ）相当のデータが容易に格納できるまでになった。しかし、それでも静止画像の処理を行なうには十分であるが、動画データを実時間で、メモリに直接格納するには十分とは言えない。そのため、データ転送の効率向上も兼ねた画像の圧縮を行なう必要がある。しかし、静止画像の圧縮で代表的な方式であるJPEG方式を行なうLSIもNTSC相当の画像信号までが実時間処理の限界となっているのが実状である。

【0003】図1に動画を圧縮し転送し、再生するおおまかなフローチャートを示した。図1に示したように、動画では画像の取り込みと画像圧縮は交互に処理される。動画があまり不自然にならないためには10～12フレーム／秒でこの繰り返し処理が行なわれることが要求される。HDTV相当の動画像信号に対してJPEG画像圧縮処理を行なう方法として、JPEG処理を並列に行なう方法が用いられている。この並列JPEG処理は、時間軸に対して並列に処理を行なう方法（以後、従来例1）と、入力画像を分割し、その分割画像に対してJPEG処理を行なう方法（以後、従来例2）が代表的である。

【0004】従来例1、2とも、HDTV画像の1フレームサイズを 1920×1056 画素とした。また、どちらの例も時間軸方向は30フレーム／秒であり、かく8BitsのRGB画像とする。さらに、1つのJPEG処理LSIはNTSC画像（ 720×480 画素程度）を1フレームで処理可能な物としている。1つのJPEG_LSIでHDTV画像を処理するには、HDTV画像の情報量はカラー3要素で1フレーム当たり約6Mバイトであり、NTSC画像の情報量は1フレーム当たり約1Mバイトであるため、実時間処理（30フレーム／秒）を行なうには6個のJPEG_LSIが必要となる。ここで取り上げた従来例では先に述べたように10～12フレーム／秒でよいので3個のLSIで実現可能である。

【0005】図5に並列画像圧縮処理の従来例1を、図6にタイミングチャートを示す。タイミングチャート内の番号はフレームの番号を示す。従来例1では、画像メモリとJPEG_LSI、および圧縮後の出力メモリ、及び制御回路を複数系統（この例では3系統）持たせている。画像メモリの大きさは原画像の大きさに等しく原画像と同じフレームの内容を3つの画像メモリに順番に格納している。このシステムでは、原画像を画像メモリnに格納する処理とJPEG_LSIによる画像圧縮を並列に処理させることで高速化を実現している。従来例1の特長として、前述したように画像メモリの大きさが原画像（フレーム）の大きさに等しいため、後記する従来例2および、本発明の方式に必要な、圧縮処理後の結合処理が不要な点である。

【特許請求の範囲】

【請求項1】n個（nは2以上の自然数である。以下の請求項も同じ）の同一の画像圧縮回路と、前記画像圧縮回路の動作周波数の整数倍の周波数で動作する制御回路と、を持つことを特徴とする並列画像圧縮処理装置。

【請求項2】請求項1に記載の並列画像圧縮処理装置において、前記制御回路は、前記画像圧縮回路の動作周波数の整数倍の周波数で画像メモリをアクセスするアドレス生成回路を含むことを特徴とする並列画像圧縮処理装置。

【請求項3】n個の画像圧縮回路と、画像データをn個に分割し、分割したそれぞれの画像データを、前記n個の画像圧縮回路に、同時にひとつずつ入力させる制御を行なう制御回路と、を持つことを特徴とする並列画像圧縮処理装置。

【請求項4】n個の画像圧縮回路と、单一の制御信号で、前記n個の画像圧縮回路を動作させる制御回路と、を持つことを特徴とする並列画像圧縮処理装置。

【請求項5】n個の同一の画像圧縮回路と、前記画像圧縮回路の動作周波数の整数倍の周波数で動作する制御回路とを持ち、前記制御回路は、画像データを複数に分割し、分割したそれぞれの画像データを、前記n個の画像圧縮回路に、同時にひとつずつ入力し、前記n個の画像圧縮回路を動作させる单一の制御信号を出力することを特徴とする並列画像圧縮処理装置。

【請求項6】請求項5に記載の並列画像圧縮処理装置において、前記制御回路は、前記画像圧縮回路の動作周波数の整数倍の周波数で画像メモリをアクセスするアドレス生成回路を含むことを特徴とする並列画像圧縮処理装置。

【請求項7】請求項1、請求項2、請求項5、および請求項6に記載の並列画像圧縮処理装置において、前記整数倍は3倍であることを特徴とする並列画像圧縮処理装置。

【請求項8】請求項1、請求項3、請求項4、および請求項5に記載の並列画像圧縮処理装置において、前記n個とは3個であることを特徴とする並列画像圧縮処理装置。

【請求項9】3つの同一の画像圧縮回路と、前記画像圧縮回路の動作周波数の3倍の周波数で動作する制御回路とを持ち、前記制御回路は、画像データを3つに分割し、分割したそれぞれの画像データを、3つの前記画像圧縮回路に、同時にひとつずつ入力し、前記3つの画像圧縮回路を動作させる单一の制御信号を出力することを特徴とする並列画像圧縮処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、画像圧縮処理装置に関する。

【0002】

(3)

3

【0006】図7に並列画像圧縮処理の従来例2を、図8にタイミングチャートを示す。従来例2では、画像メモリを3分割している。そのため、従来例1に比べて画像メモリは1/3になる。しかし、この例では一つのフレームを3分割して圧縮処理を行なっているので、圧縮後に結合処理をする工程が必要になる。従来例2の特長としては、画像メモリが原画像の大きさと同じ大きさで済む点である。

【0007】

【発明が解決しようとする課題】以上、従来例として2つの方式を説明したが、ここで、それぞれの従来例の欠点を整理する。従来例1の欠点は、「並列処理する制御の数×原画像の大きさ」の入力メモリが(従来例1では原画像の3個分)必要になり、回路が大規模になる点である。

【0008】従来例2の欠点は、圧縮処理後の結合処理に、図8のタイミングチャートで示すように、最大で1フレーム分の時間しか確保できないため高速な制御が要求される点にある。また、従来例1、2とも制御回路が並列の数だけ必要であるが、これも改良すべき課題である。

【0009】本発明は、従来の方式のこれらの欠点、課題を解決すべくなされたものである。

【0010】

【課題を解決するための手段】そこで、本発明では、複数の画像圧縮回路(JPEG_LSI205)の動作周波数の整数倍の周波数で動作する制御回路203を設けている。制御回路203は、画像データを複数に分割し、分割したそれぞれの画像データを、複数のJPEG_LSI205に、それぞれを同時に投入させ、単一の制御信号210で制御する。

【0011】

【発明の実施の形態】以下に本発明の実施形態を図を用いて説明する。図1に示したように、動画では画像の取り込みと画像圧縮は交互に処理される。本実施形態は、図1の「圧縮処理」部分の高速処理を実現させるものである。図2は、本実施形態のブロック図、図3は制御回路、および画像メモリの詳細図である。

【0012】本実施形態は従来例1、2と同様、3つの処理を並列に実行する。本実施形態の制御回路203では、J MHzで動作するJPEG_LSI205を用いて圧縮を行なう。また、制御回路203は、J MHzの3倍の周波数のJ×3MHzを、アドレス生成回路208で用いる。原画像201がA/D変換装置202でデジタルに変換された後、制御回路203は、画像を画像メモリ204に前記J×3MHzの周波数で格納する。読み出し時は、前記J×3MHzの周波数のタイミングでアドレス生成回路208が、画像メモリ204内の異なる3つの領域(図5では①、②、③)をアクセスすることにより、それぞれの領域内の画像データを①→②→③の順に読み出す。読み出

50

4

した画像データはデータ格納用メモリである図3のFIFO209に格納され、一定時間格納された後、それぞれのJPEG_LSI205に同時に処理される。JPEG_LSI205にて圧縮された画像データは一旦それぞれの圧縮データ用メモリ206に貯えられる。

【0013】このようにJPEG_LSI205に画像データを同時に処理することにより、3つのJPEG_LSI205に対し、1つの制御信号210で動作が可能になる。つまり、JPEG_LSI205の3倍の動作周波数(J×3MHz)で、画像メモリをアクセスさせることで、J MHzで動作するJPEG_LSI205への画像データの出力に対して余裕ができ、画像データを同時に処理することが可能になるわけである。そのため、本実施形態では、従来例2のように並列処理の数だけ分割した画像メモリおよび制御回路を持つ必要がなく、単一の画像メモリおよび単一の制御回路で制御が可能である。

【0014】また、この余裕は、データを圧縮後の結合処理でも効果がある。図8の従来例2のタイミングチャートを見てわかるとおり、結合処理に1フレーム分の時間しか確保できないが、図4の本実施形態のタイミングチャートでは、圧縮データ結合処理は3フレームの時間がある。したがって、結合処理には低速なCPUを用いることができ、図2、結合処理回路207のコストダウンを図ることができる。

【0015】なお、本実施形態の説明では、並列処理の数を3と限定して説明したが、もちろん本発明はこの数に限定されるものではない。

【0016】

【発明の効果】原画像の取り込み、取り出し、JPEG処理が、単一の制御回路で行なえるため、回路の簡略化が可能になる。圧縮データ結合処理に時間の余裕ができるため、結合処理には低速なCPUを用いることができる。

【図面の簡単な説明】

【図1】動画像圧縮の概念図

【図2】本発明のブロック図

【図3】本発明の制御回路動作説明図

【図4】本発明のタイミングチャート

【図5】従来方式1のブロック図

【図6】従来方式1のタイミングチャート

【図7】従来方式2のブロック図

【図8】従来方式2のタイミングチャート

【符号の説明】

201 原画像

202 A/D変換装置

203 制御回路

204 画像メモリ

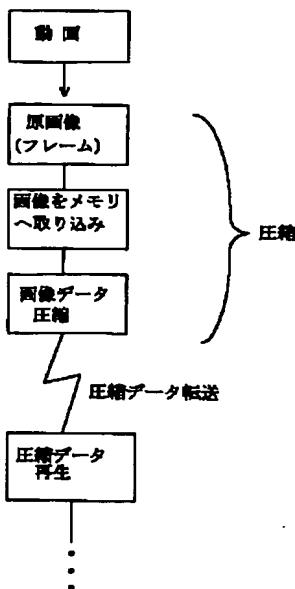
205 JPEG_LSI

206 圧縮データ用メモリ

207 結合処理回路

208 アドレス生成回路
209 FIFO

【図1】



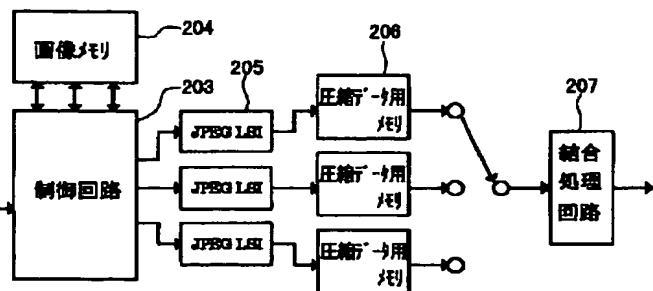
(4)

5

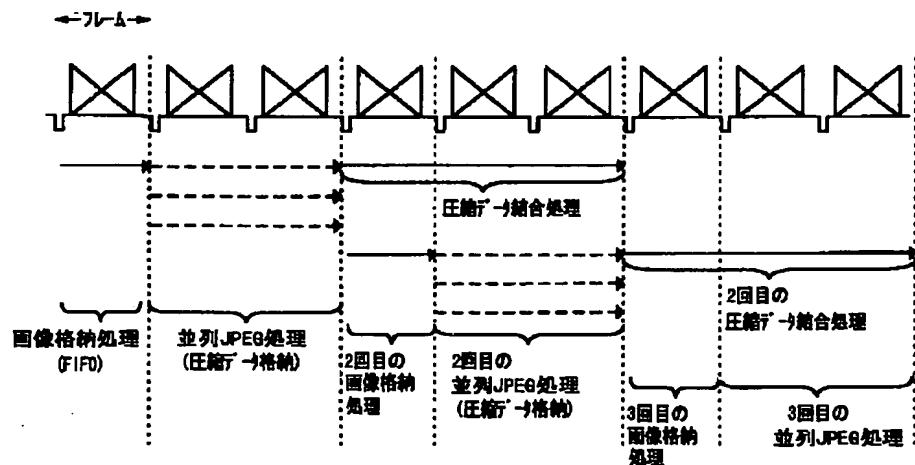
210 制御信号

6

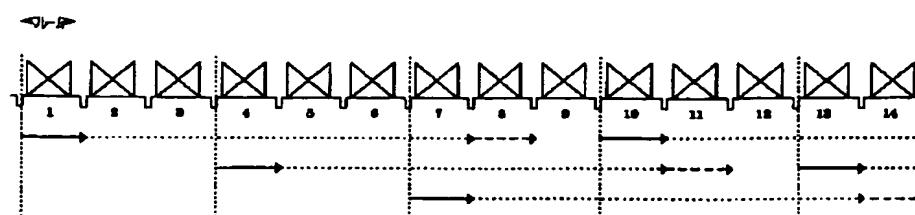
【図2】



【図4】

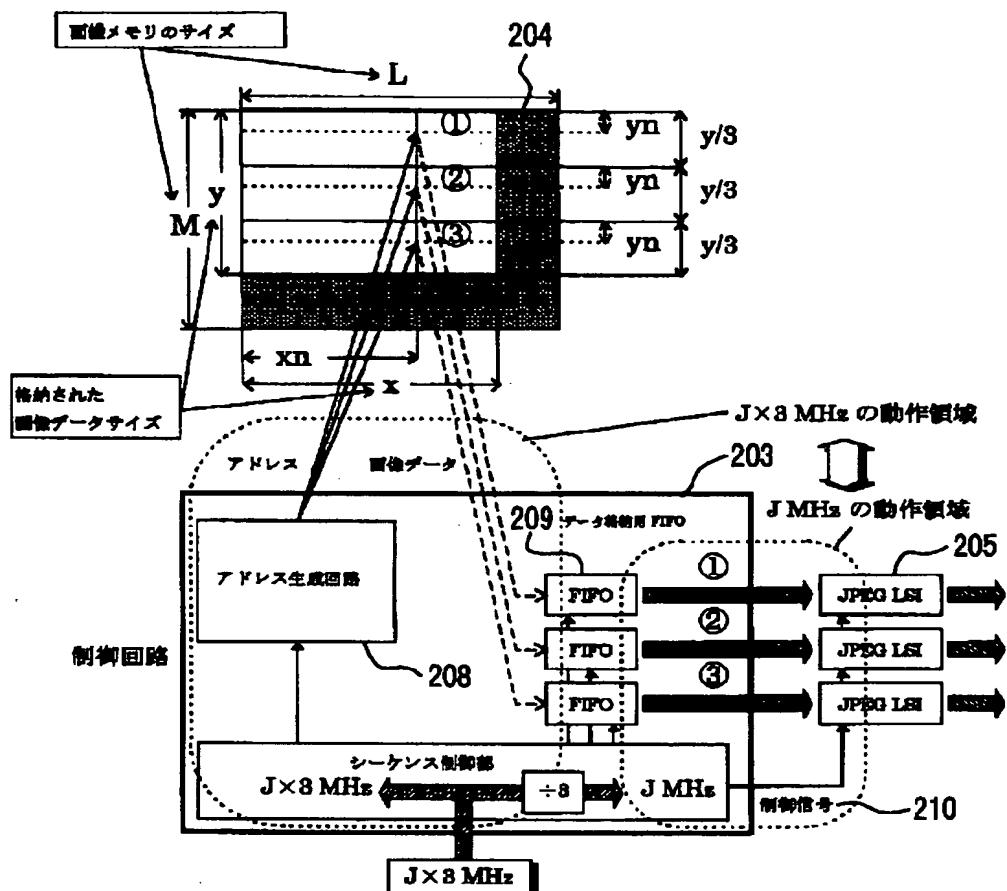


【図6】



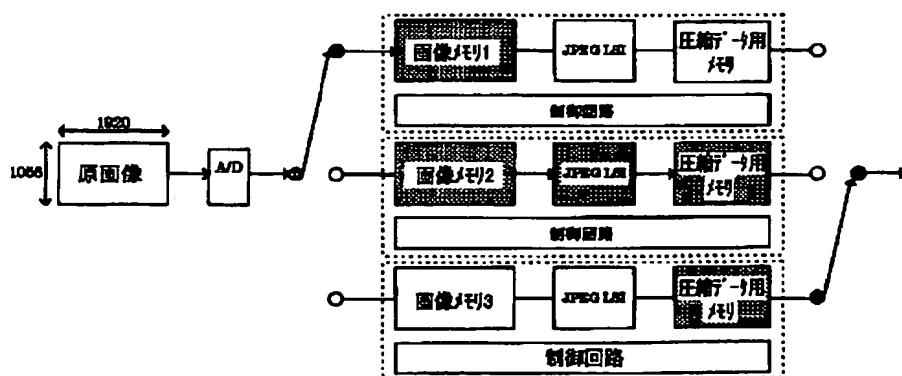
(5)

【図3】



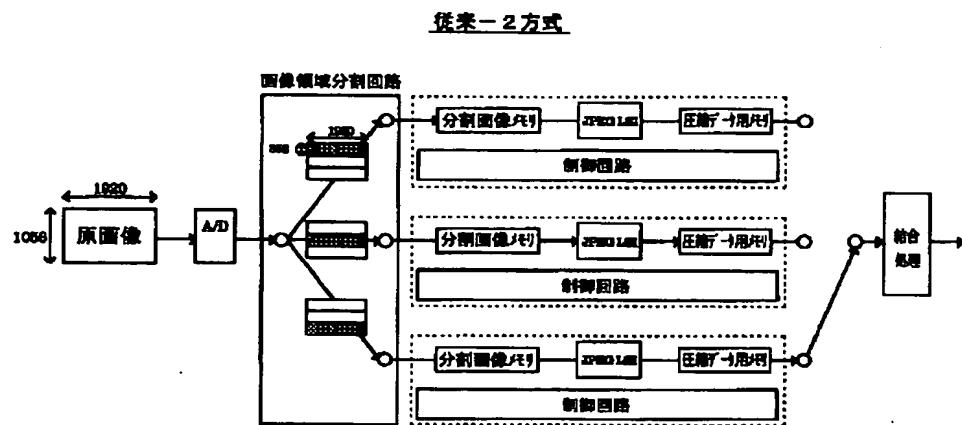
【図5】

従来-1方式



(6)

【図7】



【図8】

